



2020年度第2回ASIFスキルアップセミナー 「VLAB」紹介資料

October 27th 2020

Australian Semiconductor Technology Company



ASTC Summary



- Global design technology and services company founded in Australia
 - The largest Australian IC Design House?
 - 100 Engineering and R&D staff, 25% with Ph.D
 - Locations in Australia, USA, Japan and Europe
 - 200+ projects

- Historical Milestones
 - Motorola Software and Design Automation Center 1994
 - Motorola Phone Simulation Team (Simphone/MOOSE) 2000
 - ASTC Incorporated 2005
 - USA Subsidiary (ASTC Inc outsourcing of Simphone team) 2007
 - Japan Office and Subsidiary (ASTC Inc) 2009



ASTC deliverables for Virtualized Product Development



バーチャルプラットフォーム(VLAB)

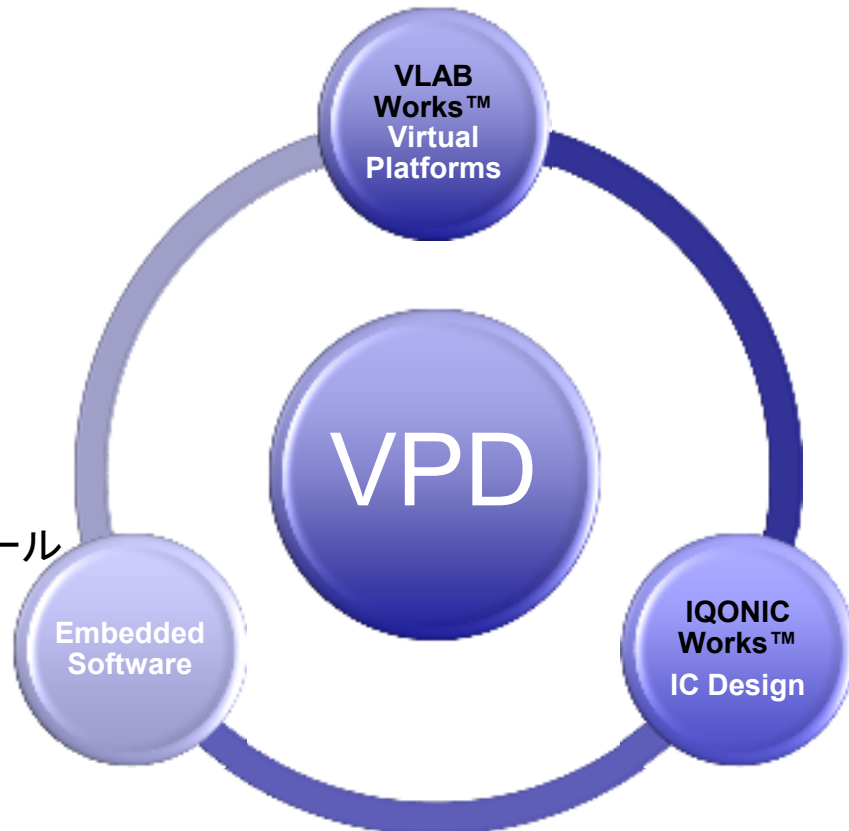
- SWの早期開発開始
- HW・SW同時開発
- 実機環境との協調
- より精度の高いテスト・検証

ICデザイン(IQONIC)

- USB-PD, RISC-V etc.
- ASIC & FPGAデザイン
- アナログ・ミックスドシグナル・デザイン
 - ✓ カスタム電源・電源シーケンスコントロール
- 検証・評価、試作・製造

組み込みソフトウェア

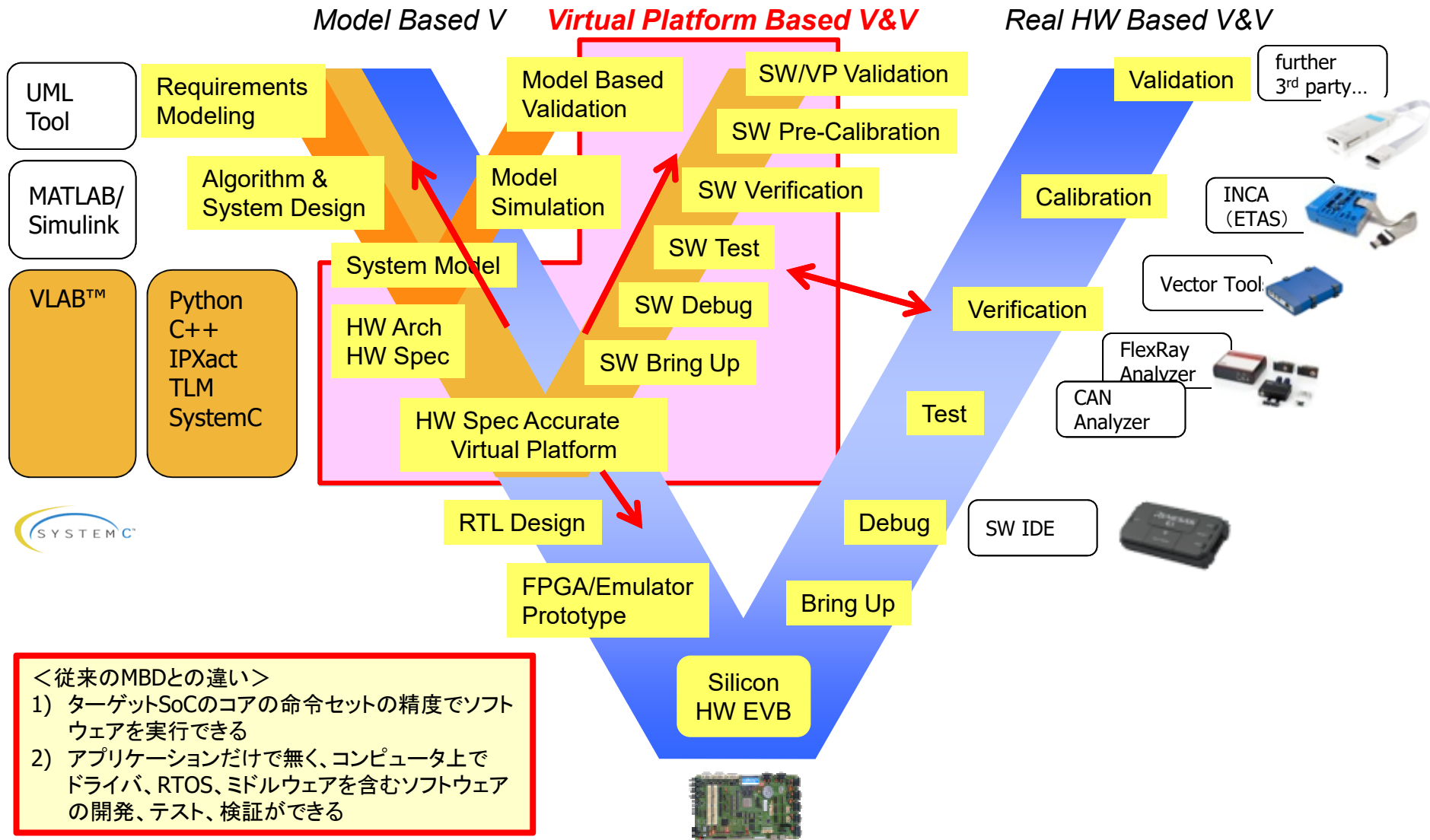
- リアルタイムアプリケーション
- HAL・ドライバ開発/テスト





バーチャルプラットフォームベースの検証フロー

- VLAB S-PILS環境





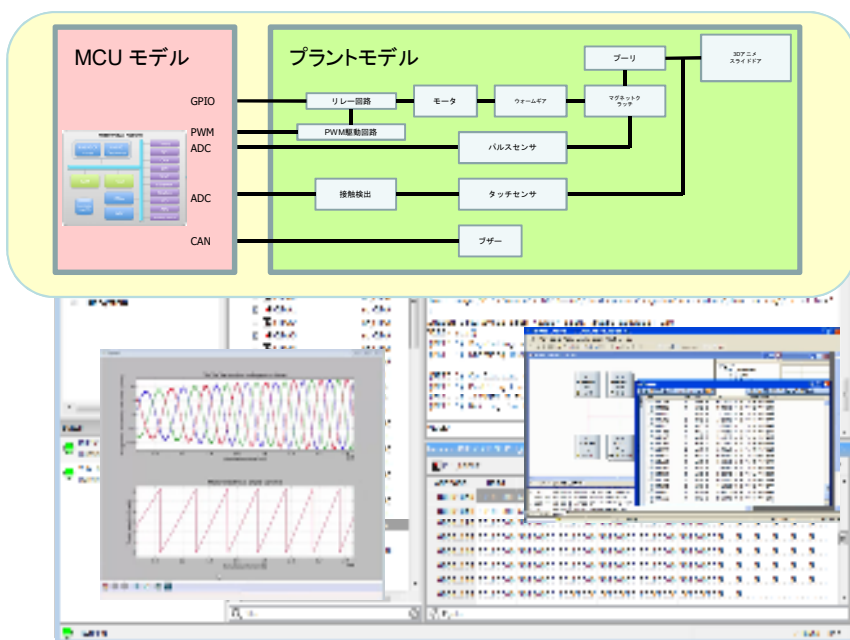
バーチャルプラットフォーム「VLAB」

- マイコン/制御システムモデルを使用した自由度の高いシミュレーション環境



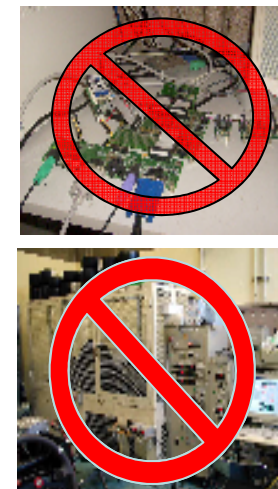
- ・評価ボードやエミュレータ等のハードウェア(HW)開発環境の代わりに、ターゲットHW (マイコン/制御基板/プラント等)のシミュレーション・モデル(SystemC言語で記述)をコンピュータ上で実行
 - * バイナリーのターゲットソフトウェア(BIN/HEX/ELF/SREC)をCPUコアの命令セットで実行
- ・HW内部の信号の遣り取りを観測、制御できる効率的な開発環境

コンピュータ上のHWモデルを使用した開発環境



「VLAB」バーチャルプラットフォーム(例)

実機のHW開発環境



HW内部の信号を
観測、制御できる
開発環境

- HWブレイクポイントの設定
- レジスタ read/writeのトレース
- ポートの信号値の観測と制御
- バス、ポート、メモリ、レジスタへの故障モードの挿入, etc.

HW開発環境の課題:

- ・SoC内部の信号値を解析、監視出来ない
- ・不具合発生時の問題の再現が難しい
- ・不具合の原因の切り分け(HW/SW)が難しい
- ・実機環境が完成するまでSWのデバッグが出来ない
- ・人数分のHW環境を用意するとコストが掛かる
- ・居室で作業出来ない



VLABはこれができます



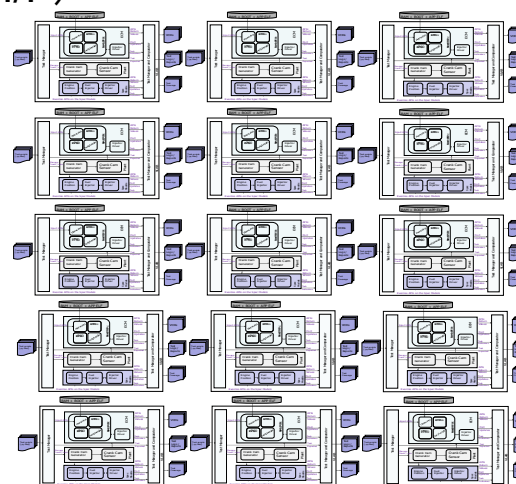
- **実機ボードでできるほとんどのことが可能:**
 - ソフトウェアをロード(クロスコンパイラで作成した本物のコード)
 - ロードしたソフトウェアを実行
 - ソフトウェアデバッガと接続しながら、デバック
 - ソフトウェア動作を解析、調査、SWブレークポイント
- **実機ボードで出来なかったことが可能:**
 - モデル内部の状態を観測: ポート、レジスタ、バス
 - 実行の一時停止、指定時間で実行
 - ハードウェアブレークポイント設定(ポート、バス、レジスタの変化で停止)
 - ハードウェア動作の詳細トレース
 - ハードウェア故障を注入
 - ハードウェアモデルから警告メッセージ(使用違反、内部状態エラー)
 - 簡単に問題を再現(動作条件を正確に再現するため、何度でも繰り返し観察できる)
 - などなど



バーチャルプラットフォーム用途



- VLAB の使用目的は? ソフト開発、システム検証・・・
 1. ASICハイレベルデザインフェーズ
 - a. パフォーマンス設計
 - b.仕様モデルとして
 2. 次期MPU 選定
 3. SW先行開発(MPU WS リリース前のMCAL開発) Front loading
 4. SW開発ツールとして(特に、マルチコア構成のMPU のデバッグ、見える化で貢献)
 5. Virtual calibration (ASAM 連携:XCP I/F)
 6. 故障注入対応 (ISO26262)
 7. SWレグレーション用途 (CI/CT)
 8. 海外拠点との開発環境共有化



96 CPU Farm
1,200 test suite
Only 3 hrs to execute full suite

VP test suite execution is faster than
on HW Faster than Real HW
Testbench



SW レグレーションシステム

ASAM: Association for Standardization
of Automation- and Measuring Systems



VLAB Typical Seat Installations

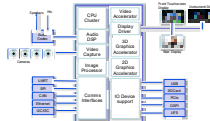


4. VLAB Suite Test / Test Regression Farm
- VLAB Suite 1x
 - VLAB Batch e.g. 50x
 - Model Platforms e.g. 50x

Target Users:

- Test Engineer

VP Model Platform



System Under Test in VLAB

- Virtual Target Platform
- Virtual Test Bench
- Target SW



3. VLAB Express
- 3rd Party SW Debug Module 1x
 - Virtual Model Platform 1x

Target Users:

- SW Engineer

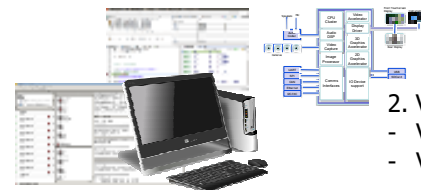
VLAB Suite



1. VLAB Suite
- Modelling and VP Development Tools 1x
 - VP (HW) Debug and Analysis Tools 1x
 - SW Debug and Analysis Tools 1x
 - Virtual Model Platform Library 1x

Target Users:

- Systems Engineer
- SW/HW Engineer
- Virtualization Engineer



2. VLAB SW Suite
- VLAB SW Debug and Analysis 1x
 - Virtual Model Platform 1x

Target Users:

- SW Engineer
- SW Architecture and Optimization





VLABバーチャルシミュレーション環境による プロセッサ内部の信号の観測



The screenshot displays the VLAB software interface. The top menu bar includes File, Edit, View, Simulation, Debug, Window, and Help. The main workspace shows a command console with the following text:

```
VLAB> load_sim("example.sim")
Loading module 'example.sim'
Calling sim_autorun() from 'example.sim'

VLAB Example Toolbox 1.6.0-rc1

VLAB> add_trace('example')
VLAB> run()
VLAB> pause()
User initiated break
Simulation paused at time 63646

VLAB>
```

A green callout bubble points to the command console with the text: "トレース機能によるレジスタ-read/writeデータの観測" (Observation of register read/write data using the trace function).

The System tree on the left shows a hierarchy of components: Socket, router, sage0 (with sub-components RotationKey 16 and XORKey 17), Ports (CANCEL, CLK, INT, reset), and Sockets (peripheral 1). A green callout bubble points to the Ports section with the text: "周辺回路のポートの信号値の観測と変更" (Observation and modification of signal values of ports in the peripheral circuit).

The ODA Trace window at the bottom right shows a table of simulation events:

Ti...	Source	Description	Data
2050	example.sage0.ENCRYPT	register read	[0x22446...
2060	example.core0	READ executed (PASSED)	[0x101f00...
2060	example.core0	COMPARE executed (PAS...	[0x22446...
2060	example.sage0.CONFIG	register read	[0x3', '0x0...
2070	example.core0	READ executed (PASSED)	[0x101f00...
2070	example.core0	COMPARE executed (PAS...	[0x3', '0x3]
2070	example.sage0.CONFIG	register write	[0x3', '0x0...
2080	example.core0	READ executed (PASSED)	[0x101f00...
2080	example.sage0.DECRYPT	register write	[0x22446...
2090	example.core0	READ executed (PASSED)	[0x101f00...
2090	example.sage0.DECRYPT	register read	[0xffffffff'...
2100	example.core0	READ executed (PASSED)	[0x101f00...
2100	example.core0	COMPARE executed (PAS...	[0xffffffff'...

The bottom status bar shows the simulation is paused at time 6364612 ns.



VLABバーチャルシミュレーション環境による ハードウェアのブレーク機能



VLAB ハードウェアバーチャルプラットフォーム

ソフトウェアデバッガ

The screenshot shows the VLAB environment with a hardware configuration tree on the left and a software debugger window on the right. A yellow arrow points from the hardware configuration to the debugger, indicating the connection between the two.

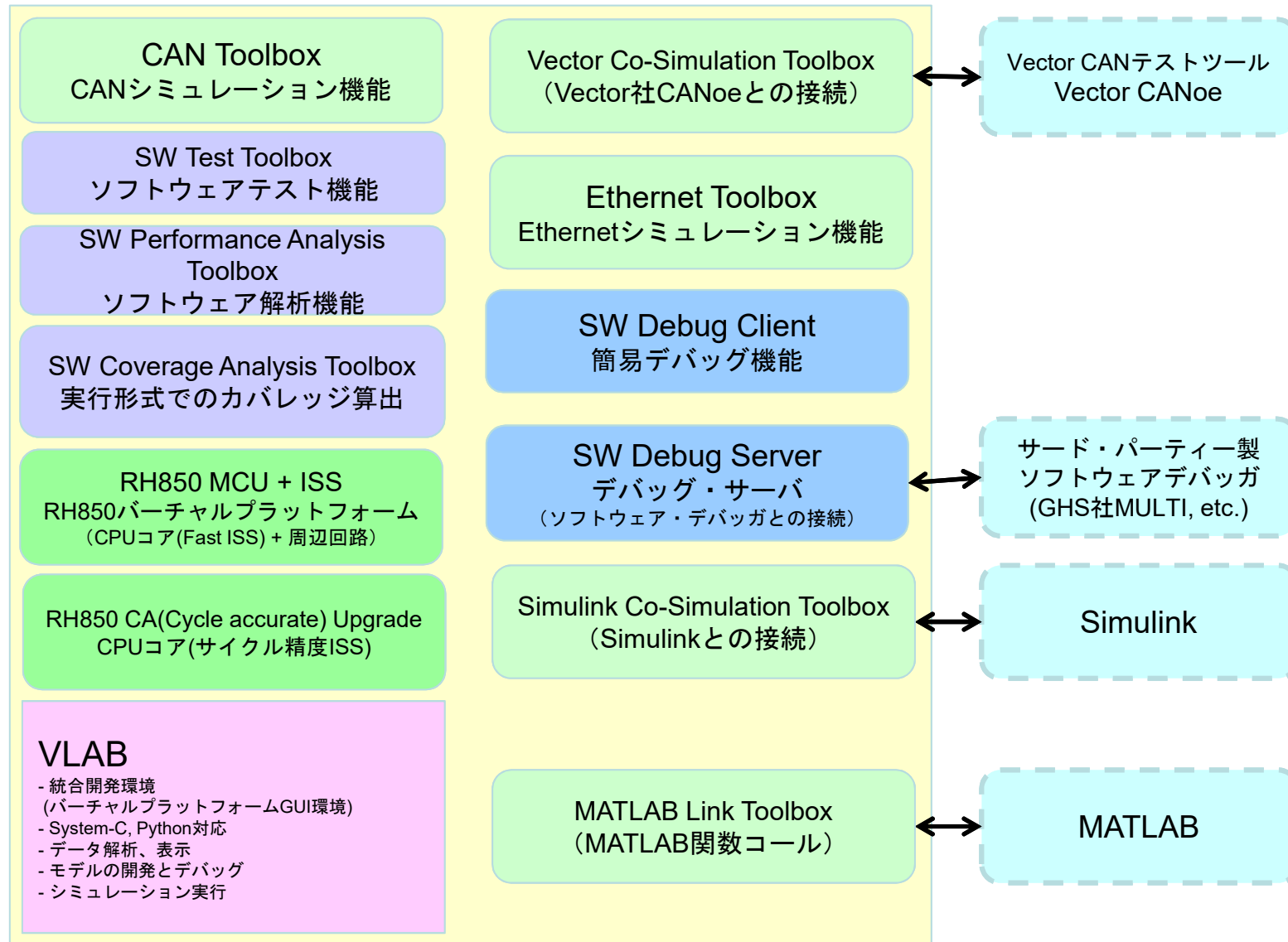
ハードウェア・ブレークポイントの設定

仮想HWプラットフォームとSWデバッガの接続 (同期シミュレーション)

ハードウェアの振る舞いと同期したソフトウェア・デバッグ環境
 - ポート信号値の変化、レジスタ書き込み、時間の変化等の多様なトリガーによるシミュレーション環境のブレーク機能



VLAB 製品構成





VLAB RH850 Virtual Platform Toolbox

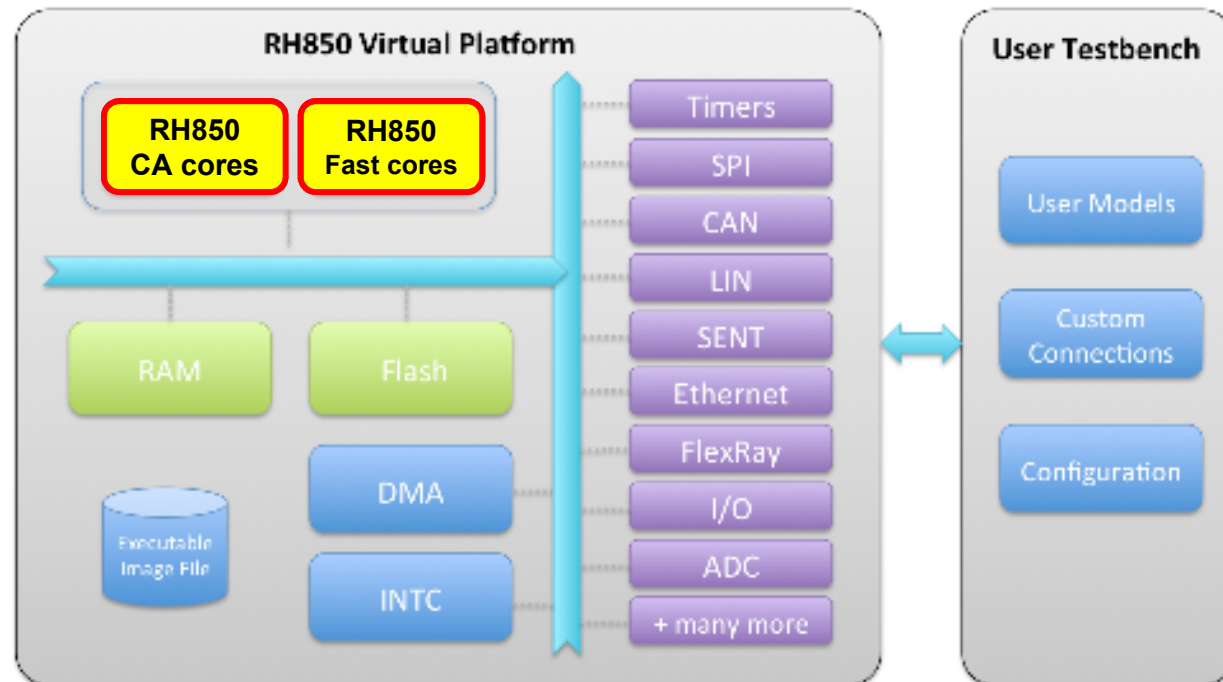


ルネサスエレクトロニクス社とのパートナーシップ(ルネサスアライアンスパートナー)により、ルネサスエレクトロニクス社にて開発した純正RH850 CPUモデルをASTCよりOEMメーカー様、Tier1メーカー様にVLAB RH850 Virtual Platform Toolboxとして提供

RH850 CA(Cycle Accurate) core・・・パイプラインを含むCPUの詳細なサイクル精度モデル

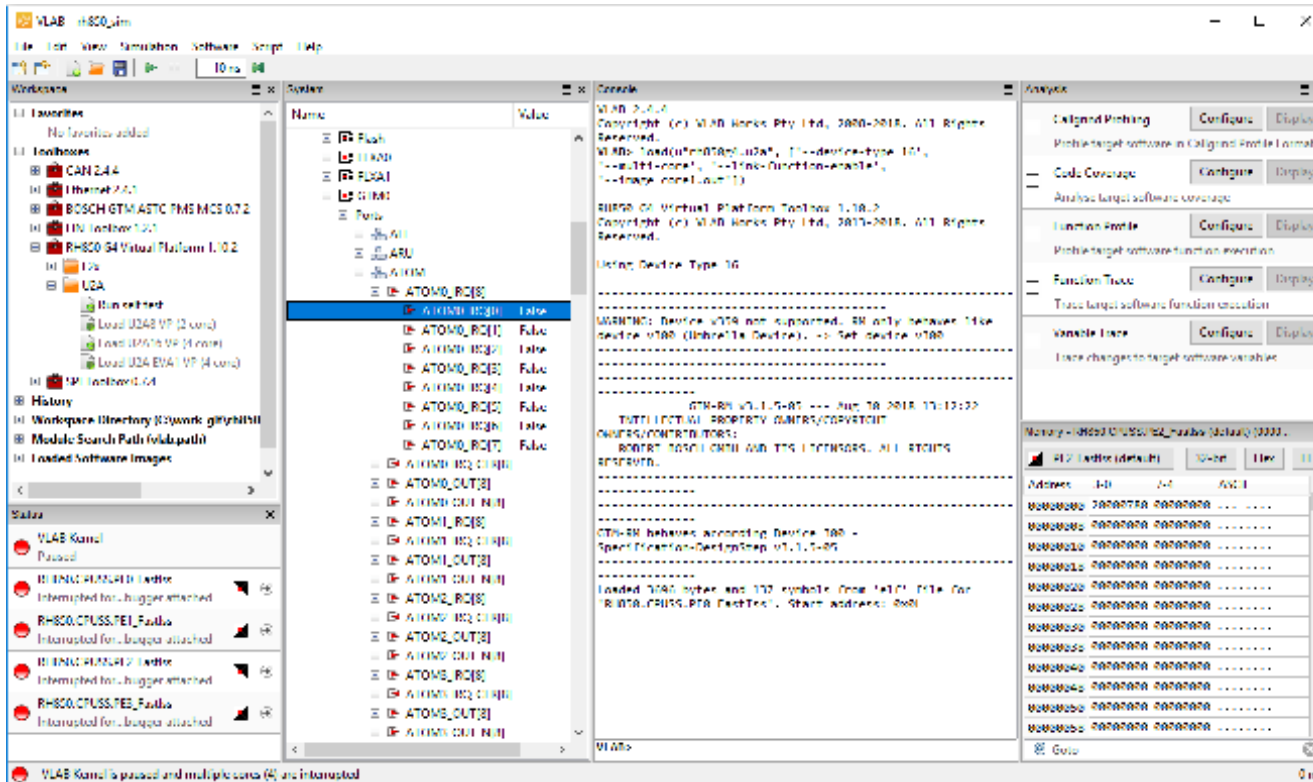
RH850 Fast ISS core・・・おおよそのタイミング精度でサイクル精度モデルよりも高速に動作する命令精度モデル

RH850/U2A
RH850/F1KM-S
RH850/F1K
RH850/F1H
RH850/F1L
RH850/P1M
RH850/P1x-C
RH850/C1M-A (C1M-A2, etc.)
RH850/C1x (C1H, C1M)
RH850/E2x (E2M, E2L, etc.)
RH850/E1x (E1x-FCC1, etc.)





VLAB RH850 Virtual Platform for U2A



Enhanced **GTM Model** is included, allowing detailed register inspection and MCS debugging



ご清聴ありがとうございました。

Please visit our site!

<https://vlabworks.com/>

評価ライセンスに関しましては、
菱電商事さんへ問い合わせください。

